

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 10 月 21 日 (21.10.2004)

PCT

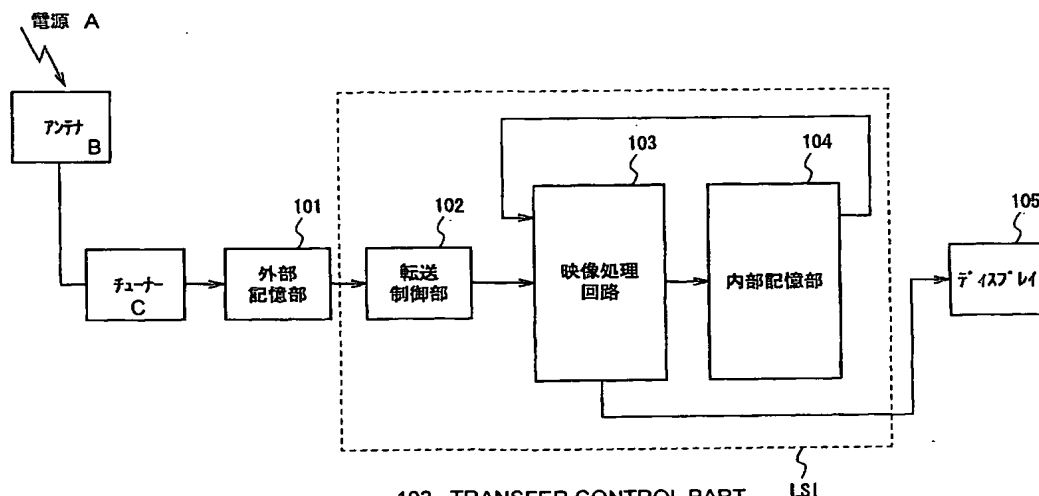
(10) 国際公開番号  
WO 2004/090860 A1

- (51) 国際特許分類<sup>7</sup>: G09G 5/377, 5/00, H04N 5/45  
(21) 国際出願番号: PCT/JP2004/004774  
(22) 国際出願日: 2004 年 4 月 1 日 (01.04.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2003-097542 2003 年 4 月 1 日 (01.04.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてののみ): 川村 信 (KAWAMURA, Makoto).  
(74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 4 番 30 号 ニッセイ新大阪ビル 13 階 早瀬特許事務所 Osaka (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

[続葉有]

(54) Title: VIDEO COMBINING CIRCUIT

(54) 発明の名称: 映像合成回路



A...RADIO WAVE

B...ANTENNA

C...TUNER

101...EXTERNAL MEMORY PART

102...TRANSFER CONTROL PART

103...VIDEO PROCESSING CIRCUIT

104...INTERNAL MEMORY PART

105...DISPLAY

LSI

(57) Abstract: A conventional video combining circuit, which overlaps an OSD display, a sub-video display and a main video display, requires a complicated video output part for combining the three displays and also requires an increased size of memory in an internal memory part for storing data of the respective display layers. Additionally, an OSD output part, a sub-video output part and a main video output part are configured for their respective purposes, so that their functions are difficult to change. A video combining circuit, when receiving data transferred from an external memory part (101), uses a video processing circuit (103) having the functions of OSD, sub-video and main video output parts in addition to an  $\alpha$  combination function to perform a vertical filter processing with data in an internal memory part (104) and overwrite the date in the internal memory part (104), thereby performing the displays.

[続葉有]



NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 従来のOSD表示、副映像表示、主映像表示を重ねて行う映像合成回路においては、3つの表示の合成を行う複雑な映像出力部が必要で、かつ内部記憶部に各表示のレイヤーのデータを配置するため、メモリのサイズが増大する。また、OSD出力部、副映像出力部、主映像出力部は、専用に作り込まれており、機能の変更が困難である。映像合成回路において、外部記憶部(101)から該映像合成回路へのデータ転送時に、OSD出力部の機能と、副映像出力部の機能と、主映像出力部の機能と、 $\alpha$ 合成機能を併せ持つ映像処理回路(103)を用い、内部記憶部(104)のデータとの垂直フィルタ処理を行い、内部記憶部(104)へデータを上書きすることにより、表示を行う。

## 明 細 書

## 映像合成回路

## 5 技術分野

本発明は、テレビなどの映像合成回路に関し、特に回路規模の縮小化を図ったものに関するものである。

## 背景技術

- 10 従来、テレビなどの映像合成回路において、画面の合成やフィルタ処理を行う際には、合成を行う度に別々の回路を準備していた。

以下に、従来の映像合成回路について説明する。

第3図に従来の映像合成回路を示す。

- 15 第3図において、301は映像合成回路の外部に設けられた外部記憶部、302は外部記憶部301からのデータの転送を制御する転送制御部、303は本映像合成回路内に設けられた内部記憶部、304は該内部記憶部303からのOSD表示データを処理してOSD出力を行うOSD出力部、305は該内部記憶部303からの副映像データを処理して副映像出力を行う副映像出力部、306は該内部記憶部303からの主映像データを処理して主映像出力を行う主映像出力部、307は上記OSD出力部304、副映像出力部305、主映像出力部306からの出力を合成し映像出力を行う映像出力部である。また、308は映像出力部307より出力された映像信号を表示するための、例えば、デジタル信号入力を有するディスプレイである。以上の構成において、外部記憶部301、ディスプレイ308以外は同一のチップにて作成されている。

- 25 また、上記OSD出力部には、CLUT（カラーlookupアップテーブル）処理、及びガンマ補正処理等の色変換処理を行うためのLUT（lookupアップテーブル）回路が組み込まれ、主映像出力部306、副映像出力部305には、必要に応じてデジタル微分解析により画素間の補間を行なうためのDDA（デジタル微分解析）回路が組み込まれ、さらには、主映像出力部306にはDDA回路と2個の

$\alpha$  合成回路が組み込まれている。

以上のように構成された映像合成回路についてその動作を、第4図を参照しつつ説明する。

主映像、副映像、OSDデータはそれぞれ、外部記憶部301よりシリアルに  
5 順次出力される。

主映像1転送期間403において、外部記憶部301から転送制御部302を  
通って内部記憶部303に主映像データ408が転送され、内部記憶回路303  
にて主映像1(411)として蓄積される。続いて、主映像2転送期間404に  
10 おいて、外部記憶部301から転送制御部302を通って内部記憶部303にさ  
らなる主映像データ408が転送され、さらに、主映像出力部306に転送され  
て処理され、内部記憶回路303には主映像フィルタ後のデータ412として蓄  
積される。

次いで、副映像転送期間405において、外部記憶部301から転送制御部3  
02を通って内部記憶部303に副映像データ409が転送され、さらに、副映  
15 像出力部305に転送されて処理され、内部記憶回路303には映像処理された  
主映像と副映像データ413が蓄積された状態となる。

次いでOSD転送期間406において、外部記憶部301から転送制御部30  
2を通って内部記憶部303にOSD表示データ410が転送され、さらに、O  
SD出力部304に転送され処理され、さらに後段の映像出力部307において、  
20 OSD出力部304で処理されたOSD表示データと、先に映像処理された主映  
像と副映像データ413とが合成され、最終の出力データ414が得られる。

上記回路における動作は、最終的に水平同期信号401を基準とした画面の表  
示速度である表示期間402に合わせて処理が行なわれている。

特許文献1 特開平11-352946号公報(第17頁、第1図)

25

#### 発明の開示

このような従来の映像合成回路では、上記OSD出力部304、副映像出力部  
305、および主映像出力部306からの、3つの出力を $\alpha$ 合成する複雑な映像  
出力部307が必要であり、かつ内部記憶部303上に、該OSD表示データ、

副映像、主映像の各レイヤーのデータを配置するため、内部記憶部のサイズが増大することとなるという問題があった。また、主映像出力部 306 と副映像出力部 305 に DDA（デジタル微分解析）回路がともに設けられており、このため装置全体のサイズが増大するという問題があった。さらに、OSD 出力部、副映像出力部、主映像出力部は、専用に作り込まれており、これらの回路部は、その機能の変更を行うのが困難であるという問題点があった。

この発明は以上のような問題点を解消するためになされたもので、回路規模を縮小することのできる映像合成回路を提供することを目的とする。

上記課題を解決するために、本発明の請求の範囲第 1 項にかかる映像合成回路は、シリアルに順次入力される複数の映像データを受けて、所定の映像データに対して所定の映像処理を行い、複数の映像データを合成して出力する映像合成回路において、複数の映像データがシリアルに順次入力され、該入力された映像データに対して所定の映像処理を行なって出力する映像処理部と、上記映像処理回路から出力された複数の映像データを合成して出力する映像データ合成部と、上記映像データ合成部より出力された映像データを蓄積するデータ記憶部と、を備え、上記映像データ合成部は、上記映像処理回路から出力された複数の映像データを合成する以外に、上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成する、ことを特徴とするものである。

本発明の請求の範囲第 2 項にかかる映像合成回路は、請求の範囲第 1 項記載の映像合成回路において、上記映像処理部、データ記憶部、映像データ合成部は、同一のチップにて構成されている、ことを特徴とするものである。

本発明の請求の範囲第 3 項にかかる映像合成回路は、請求の範囲第 1 項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データが、主映像と副映像、及び、これら映像と同時に表示する付加情報である OSD 映像であり、上記映像データ合成部は  $\alpha$  合成処理機能を有する回路である、ことを特徴とするものである。

本発明の請求の範囲第 4 項にかかる映像合成回路は、請求の範囲第 3 項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データを記憶する外部記憶部を上記チップ外に有し、上記映像データ合成部は、上記外部記憶

部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 $\alpha$ 合成処理済みの映像データを読み出して再度 $\alpha$ 合成処理を行なう、ことを特徴とするものである。

- 5 本発明の請求の範囲第5項にかかる映像合成回路は、請求の範囲第3項記載の映像合成回路において、上記 $\alpha$ 合成処理機能を有する映像データ合成部は、上記外部記憶部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 $\alpha$ 合成処理済の映像データを読み出して、垂直フィルタ処理を行なう、ことを特徴とするものである。

- 10 本発明の請求の範囲第6項にかかる映像合成回路は、請求の範囲第1項記載の映像合成回路において、上記映像データ合成部は、次に上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成した結果の映像データを、先に上記データ記憶部に蓄積されていた映像データに上書きする、ことを特徴とするものである。

- 15 以上のように、この発明の請求の範囲第1項にかかる映像合成回路によれば、シリアルに順次入力される複数の映像データを受けて、所定の映像データに対して所定の映像処理を行い、複数の映像データを合成して出力する映像合成回路において、複数の映像データがシリアルに順次入力され、該入力された映像データに対して所定の映像処理を行なって出力する映像処理部と、上記映像処理回路から出力された複数の映像データを合成して出力する映像データ合成部と、上記映像データ合成部より出力された映像データを蓄積するデータ記憶部と、を備え、  
20 上記映像データ合成部は、上記映像処理回路から出力された複数の映像データを合成する以外に、上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成するものとしたので、映像処理部と映像データ合成部とデータ記憶部とを1つの回路とすることで、回路規模を削減する効果  
25 果が得られる。

また、本発明の請求の範囲第2項にかかる映像合成回路によれば、請求の範囲第1項記載の映像合成回路において、上記映像処理部、データ記憶部、映像データ合成部は、同一のチップにて構成されているものとしたので、回路規模を削減することができる効果が得られる。

また、本発明の請求の範囲第3項にかかる映像合成回路によれば、請求の範囲第1項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データが、主映像と副映像、及び、これら映像と同時に表示する付加情報であるOSD映像であり、上記映像データ合成部は $\alpha$ 合成処理機能を有する回路であるものとしたので、OSD表示機能と、副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ $\alpha$ 合成回路を1つにすることができるため、回路規模を削減できる効果が得られる。また、OSD出力部、副映像出力部、主映像出力部を、一つにして持たすことにより、今まで副映像では実現できたが、OSDでは実現できなかった機能を、OSDでも使うことができる効果が得られる。

10      また、本発明の請求の範囲第4項にかかる映像合成回路によれば、請求の範囲第3項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データを記憶する外部記憶部を上記チップ外に有し、上記映像データ合成部は、上記外部記憶部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 $\alpha$ 合成処理済みの映像データを読み出して再度 $\alpha$ 合成処理を行なうものとしたので、内部記憶部を上書きして使うため、内部記憶部の使用量を削減することができる効果が得られる。

また、本発明の請求の範囲第5項にかかる映像合成回路によれば、請求の範囲第3項記載の映像合成回路において、上記 $\alpha$ 合成処理機能を有する映像データ合成部は、上記外部記憶部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 $\alpha$ 合成処理済の映像データを読み出して、垂直フィルタ処理を行なうものとしたので、内部記憶部を上書きして使うため、内部記憶部の使用量を削減することができる効果が得られる。

20      また、本発明の請求の範囲第6項にかかる映像合成回路によれば、請求の範囲第1項記載の映像合成回路において、上記映像データ合成部は、次に上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成した結果の映像データを、先に上記データ記憶部に蓄積されていた映像データに上書きするようにしたので、内部記憶部を上書きして使うため、内部記憶部の使用量を削減することができる効果が得られる。

### 図面の簡単な説明

第1図は、本発明の実施の形態1に係る映像処理装置（映像合成回路）の構成を示すブロック図である。

第2図は、本発明の実施の形態1に係る映像処理装置の、映像処理回路の構成を示すブロック図である。

第3図は、従来の映像処理装置の構成を示すブロック図である。

第4図は、本発明の実施の形態1に係る映像処理装置の処理動作を説明するための図である。

第5図は、従来の映像処理装置の処理動作を説明するための図である。

10

### 発明を実施するための最良の形態

#### （実施の形態1）

以下、本発明の実施の形態について、第1図と第2図を用いて説明する。

第1図は、本発明の実施の形態1による映像合成回路を示し、第1図において、  
101は、主映像データ、副映像データ、及びOSD表示データを保持する、本映像合成回路の外部に設けられた外部記憶部である。104は同じく主映像データ、副映像データ、及びOSD表示データを保持する、本映像合成回路内に設けられた内部記憶部である。102は外部記憶部101から内部記憶部104へのデータの転送を制御する転送制御部、103は転送制御部102により外部記憶部101から読み出された映像データと、内部記憶部104から読み出される映像データとを入力とし、これらの映像データに対し映像処理を行う映像処理回路である。105は映像処理回路103から出力されたデータを表示するための、例えば、デジタル信号入力を有するディスプレイである。以上の構成において、転送制御部102、映像処理回路103、内部記憶部104は同一のチップ（LSI）にて作成されている。

25

以上のように構成された映像合成回路について、以下、その動作を第4図を参照しつつ説明する。

まず、主映像1転送期間403において外部記憶部101に蓄えられた主映像1データが、転送制御部102を通り映像処理回路103で処理され、内部記憶



部104に主映像1データ411として蓄えられる。次いで、主映像2転送期間404において外部記憶部101に蓄えられた主映像2データが、転送制御部102を通り映像処理回路103で処理され、内部記憶部104に主映像フィルタ後データ412としてデータ411に上書きし蓄えられる。

- 5     次に、副映像転送期間405において、外部記憶部101に蓄えられた副映像データが、転送制御部102を通り、先ほど内部記憶部104に蓄えられたデータ(412)とあわせて、映像処理回路103で処理され、内部記憶部104に主映像+副映像データ413としてデータ412に上書きし、蓄えられる。

- 10     次いで、OSD転送期間406において、外部記憶部101に蓄えられたOSDデータが、転送制御部102を通り、先ほど内部記憶部104に蓄えられたデータ413とあわせて、映像処理回路103で処理され、内部記憶部104に出力映像414としてデータ413に上書きし蓄えられる。

- 15     第2図は、上記映像処理回路103の詳細な構成を示し、第2図において、201は外部記憶部アクセス要求回路であり、これは、外部記憶部101に対するアクセスを要求する外部記憶部リクエスト信号202と、そのリードアドレスを指示する外部記憶部リードアドレス203を、転送制御部102を介して外部記憶部101に出力する。これにより、該外部記憶部101からは、転送制御部102を介して外部記憶部リードデータ204を得る。

- 20     また、上記外部記憶部アクセス要求回路201は、内部記憶部104に対するアクセスを要求するリクエスト信号205を、内部記憶部リードインターフェース(以下、I/Fと称す)206に対して出力する。

内部記憶部リードI/F206は、上記リクエスト信号205を受けて、内部記憶部リードアドレス207を、内部記憶部104に出力する。これにより、内部記憶部104からは、リードデータ208を得る。

- 25     パラレルシリアル変換回路209は、内部記憶部リードI/F206からの出力208をパラレルデータからシリアルデータに変換し、内部記憶部104に映像出力210を出力する。

内部記憶部104は、このシリアルデータに変換された映像出力を、本映像合成回路の出力として、外部に出力する。

セクタ 211 は、外部記憶部アクセス要求回路 201 が読み出した外部記憶部リードデータ 204 と、内部記憶部リード I/F 206 の読み出したリードデータ 208 のいずれかを選択する。

シフト回路 212 は、セクタ 211 の選択したリードデータを、必要に応じて 1 画素単位 of データに加工する。

DDA (デジタル微分解析) 回路 214 は、必要に応じてデジタル微分解析により画素間の補間を行い、シフト回路 212 の出力する映像データの水平方向の拡大、縮小処理を行う。

シフト回路 213 は、内部記憶部リード I/F 206 の出力するリードデータ 208 を必要に応じて 1 画素単位 of データに加工する。

LUT (ルックアップテーブル) 回路 215 は、必要に応じて CLUT (カラールックアップテーブル) 処理、及びガンマ補正処理等の色変換処理を行う。

CLUT 処理とは、OSD 表示データのように色番号によって表される映像データを、CLUT に基づいて色データに変換する処理である。また、ガンマ補正処理も同様に、ガンマ補正用の LUT を用いて行われる。

$\alpha$  合成回路 216 は、DDA 回路 214 の出力と、LUT 215 の出力とを  $\alpha$  合成する。 $\alpha$  合成とは、透過度を表す情報である  $\alpha$  情報に基づいて、画像同士を重ね合わせる合成のことであり、ここでは、予め定められた  $\alpha$  情報に基づいて、画像同士を合成するものとするが、合成する画像自身に  $\alpha$  情報を持たせるようにしてもよい。

内部記憶部ライト I/F 217 は、内部記憶部ライトアドレス 218 により、 $\alpha$  合成回路 216 の合成結果として得られるライトデータ 219 を内部記憶部 104 に書き込む。

プロセッサ 220 は、映像処理回路 103 内の各部の動作を制御する。

以上のように構成された映像処理回路 103 について、以下、その動作を説明する。

まず、外部記憶部アクセス要求回路 201 に、プロセッサ 220 より命令が与えられ、転送制御部 102 に、外部記憶部リクエスト信号 202 と、外部記憶部リードアドレス 203 とが送信される。そうすると、外部記憶部リードデータ 2

04が、転送制御部102より返ってくる。それとあわせて、内部記憶部リードI/F206にリクエスト信号205が伝えられ、そのタイミングにあわせて内部記憶部リードアドレス207が発行される。該内部記憶部リードアドレス207が発行されると、内部記憶部104よりリードデータ208が内部記憶部リードI/F206に返ってくる。返ってきたデータは、シフト回路213に転送され、必要に応じて1ドット単位のデータに加工される。加工されたデータはLUT回路215に転送され、必要に応じてCLUT（カラーlookupアップテーブル）処理、及びガンマ補正処理等の色変換処理が行われる。

一方、外部記憶部リードデータ204は、外部記憶部アクセス要求回路201を通り、セクタ回路211を通過してシフト回路212に転送され、必要に応じて1ドット単位のデータに加工される。加工されたデータは、DDA（デジタル微分解析）回路214を通り、水平方向の拡大、縮小処理が行われる。DDA回路214の出力と、LUT回路215の出力とは、 $\alpha$ 合成回路216で $\alpha$ 合成が行われる。 $\alpha$ 合成が行われた結果は、内部記憶部ライトI/F217に入り、内部記憶部ライトアドレス218と内部記憶部ライトデータ219とにより、内部記憶部104に上記処理結果が書き込まれる。

上記 $\alpha$ 合成回路216においては、 $\alpha$ 合成処理を行う以外にも、同じ画面上の水平の2ラインを読み込むことにより、垂直フィルタ処理を行うこともできる。たとえば、主映像の2ラインの各々を、該 $\alpha$ 合成処理の各入力として読み込み、 $\alpha$ 合成回路216で処理をすることにより、垂直のフィルタをかけることができる。

また、内部記憶部104に蓄えられた2種類のデータを処理する場合は、プロセッサ220より読み出しタイミングが内部記憶部リードI/F206に与えられ、内部記憶部104に対して内部記憶部リードアドレス207が与えられる。それにより、内部記憶部104からリードデータ208が返って来て、内部記憶部リードI/F206に、2種類の内部記憶部104のデータが読み込まれる。一方は、セクタ回路211を通り、シフト回路212に転送され、必要に応じて1ドット単位のデータに加工され、DDA回路214を通り、水平方向の拡大、縮小処理が行われる。もう一方は、シフト回路213に転送され、必要に応じて

1 ドット単位のデータに加工され、LUT回路215に転送され、必要に応じて  
CLUT処理やガンマ補正が行われる。DDA回路214の出力と、LUT回路  
215の出力とは、 $\alpha$ 合成回路216に入り、 $\alpha$ 合成される。 $\alpha$ 合成されたデー  
5 18と内部記憶部ライトデータ219とにより、内部記憶部104に転送される。  
内部記憶部104に蓄えられたデータを処理し、かつ、処理前のデータが不要な  
場合は、処理前のデータを処理後のデータで上書きすることにより、本映像合成  
回路において必要な内部記憶部の容量を減らすことができる。

最後に、内部記憶部104に蓄えられた最終の出力データは、内部記憶部リー  
10 ドアドレス207を用いて、内部記憶部リードI/F206に、リードデータ2  
08を通して転送される。転送されたデータは、パラレルシリアル変換回路20  
9に転送され、映像出力210として出力される。

このような本実施の形態1による映像合成回路においては、OSD表示機能と、  
副映像表示機能と、主映像表示機能と、 $\alpha$ 合成機能と、を併せ持つ映像処理回路  
15 103を用いて、外部記憶部101のデータと内部記憶部104のデータとを合  
成する映像合成処理を行い、その処理結果を内部記憶部104に書き込むことを  
繰り返すようにしたので、OSD表示機能と、副映像表示機能と、主映像表示機  
能と、 $\alpha$ 合成機能とを併せ持つ $\alpha$ 合成回路を1つにすることができ、回路規模を  
削減することができる。また、OSD出力部、副映像出力部、主映像出力部を、  
20 一つにして持たすことにより、今まで副映像では実現できたがOSDでは実現で  
きなかった、縮小、拡大などの処理をOSDでも実現することができる。さらに、  
上記のようにデータの上書きをするようにすることにより、内部記憶部の使用量  
をさらに削減することができ、さらには上記映像処理回路を用いてその $\alpha$ 合成機  
能により、外部記憶部のデータと内部記憶部のデータとの垂直フィルタ処理を行  
25 うようにすることにより、 $\alpha$ 合成回路を垂直フィルタ回路としても動作させるこ  
とができ、更なる回路規模の削減をできる効果が得られる。

また、従来に比べてDDA回路と $\alpha$ 合成回路を1個ずつ具備すればいいので、  
これら回路の個数を半減することができ、更なる回路規模の削減を図ることがで  
きる。

#### 産業上の利用可能性

本発明にかかる映像処理装置によれば、映像処理部と映像データ合成部とデータ記憶部とを1つの回路とすることで、回路規模を削減する効果を有し、装置の小型化に有用である。

## 請求の範囲

1. シリアルに順次入力される複数の映像データを受けて、所定の映像データ  
5 に対して所定の映像処理を行い、複数の映像データを合成して出力する映像合成  
回路において、  
複数の映像データがシリアルに順次入力され、該入力された映像データに対し  
て所定の映像処理を行なって出力する映像処理部と、  
上記映像処理回路から出力された複数の映像データを合成して出力する映像デ  
ータ合成部と、  
10 上記映像データ合成部より出力された映像データを蓄積するデータ記憶部と、  
を備え、  
上記映像データ合成部は、上記映像処理回路から出力された複数の映像データ  
を合成する以外に、上記データ記憶部から読み出した映像データと、上記映像処  
理部より出力された映像データとを合成する、  
15 ことを特徴とする映像合成回路。
2. 請求の範囲第1項記載の映像合成回路において、  
上記映像処理部、データ記憶部、映像データ合成部は、同一のチップにて構成  
されている、  
ことを特徴とする映像合成回路。
- 20 3. 請求の範囲第1項記載の映像合成回路において、  
上記シリアルに順次入力される複数の映像データが、主映像と副映像、及び、  
これら映像と同時に表示する付加情報であるOSD映像であり、  
上記映像データ合成部は $\alpha$ 合成処理機能を有する回路である、  
ことを特徴とする映像合成回路。
- 25 4. 請求の範囲第3項記載の映像合成回路において、  
上記シリアルに順次入力される複数の映像データを記憶する外部記憶部を上記  
チップ外に有し、  
上記映像データ合成部は、上記外部記憶部から出力される映像データと、前記  
チップ内のデータ記憶部に記憶された、上記 $\alpha$ 合成処理済みの映像データを読み

出して再度 $\alpha$ 合成処理を行なう、

ことを特徴とする映像合成回路。

5. 請求の範囲第3項記載の映像合成回路において、

上記 $\alpha$ 合成処理機能を有する映像データ合成部は、

5 上記外部記憶部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 $\alpha$ 合成処理済の映像データを読み出して、垂直フィルタ処理を行なう、

ことを特徴とする映像合成回路。

6. 請求の範囲第1項記載の映像合成回路において、

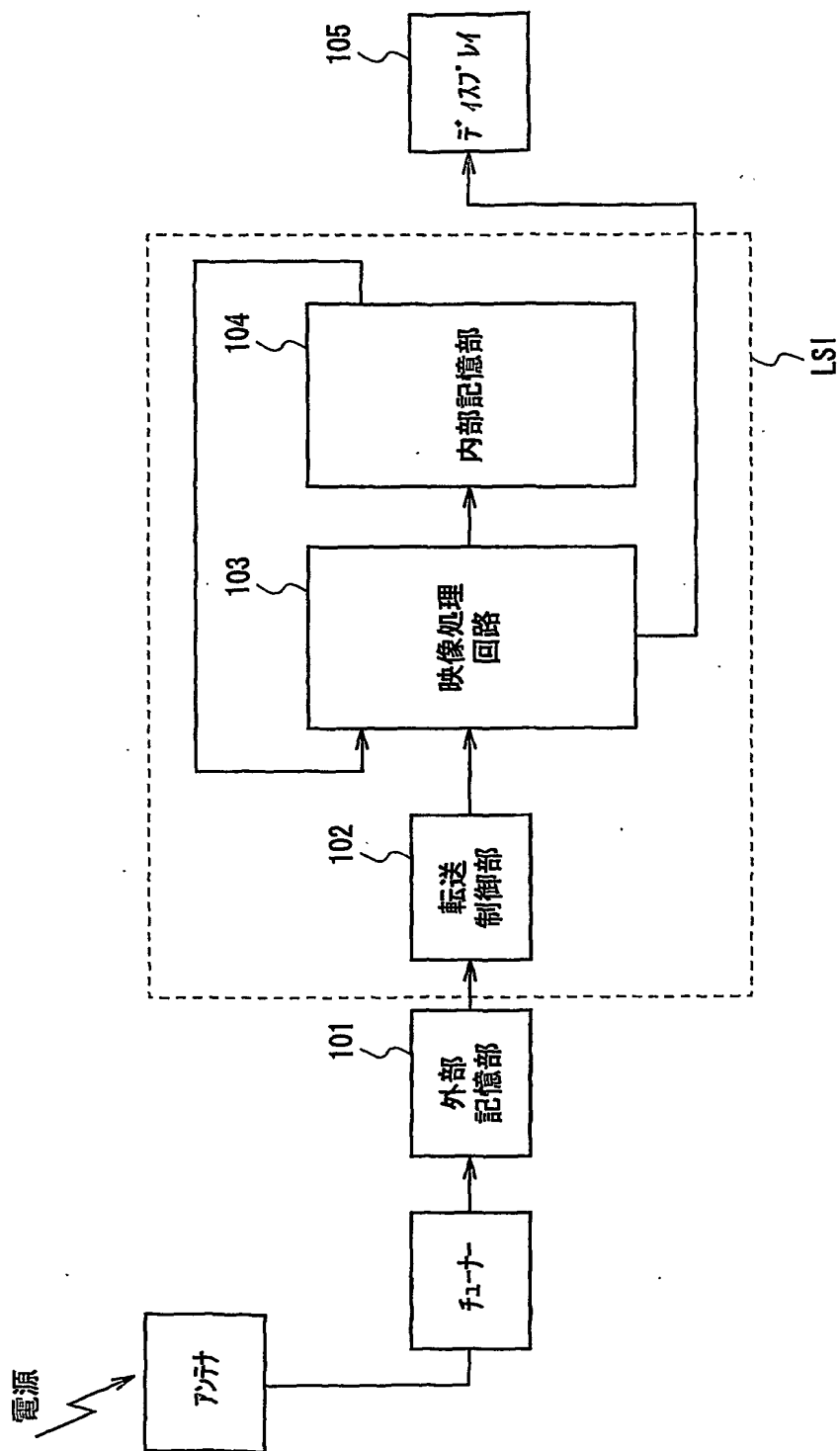
10 上記映像データ合成部は、

次に上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成した結果の映像データを、先に上記データ記憶部に蓄積されていた映像データに上書きする、

ことを特徴とする映像合成回路。

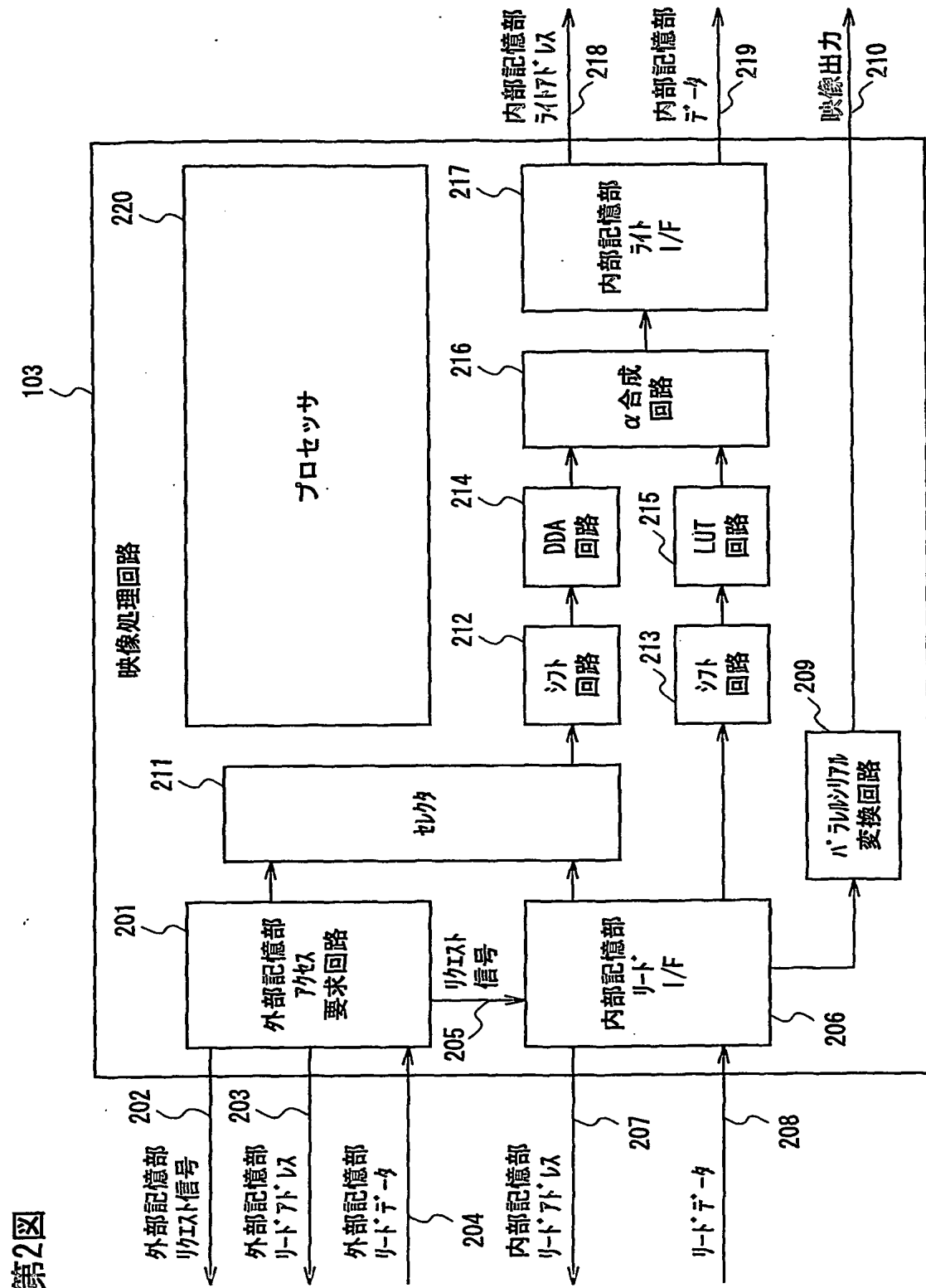
1/5

第1図

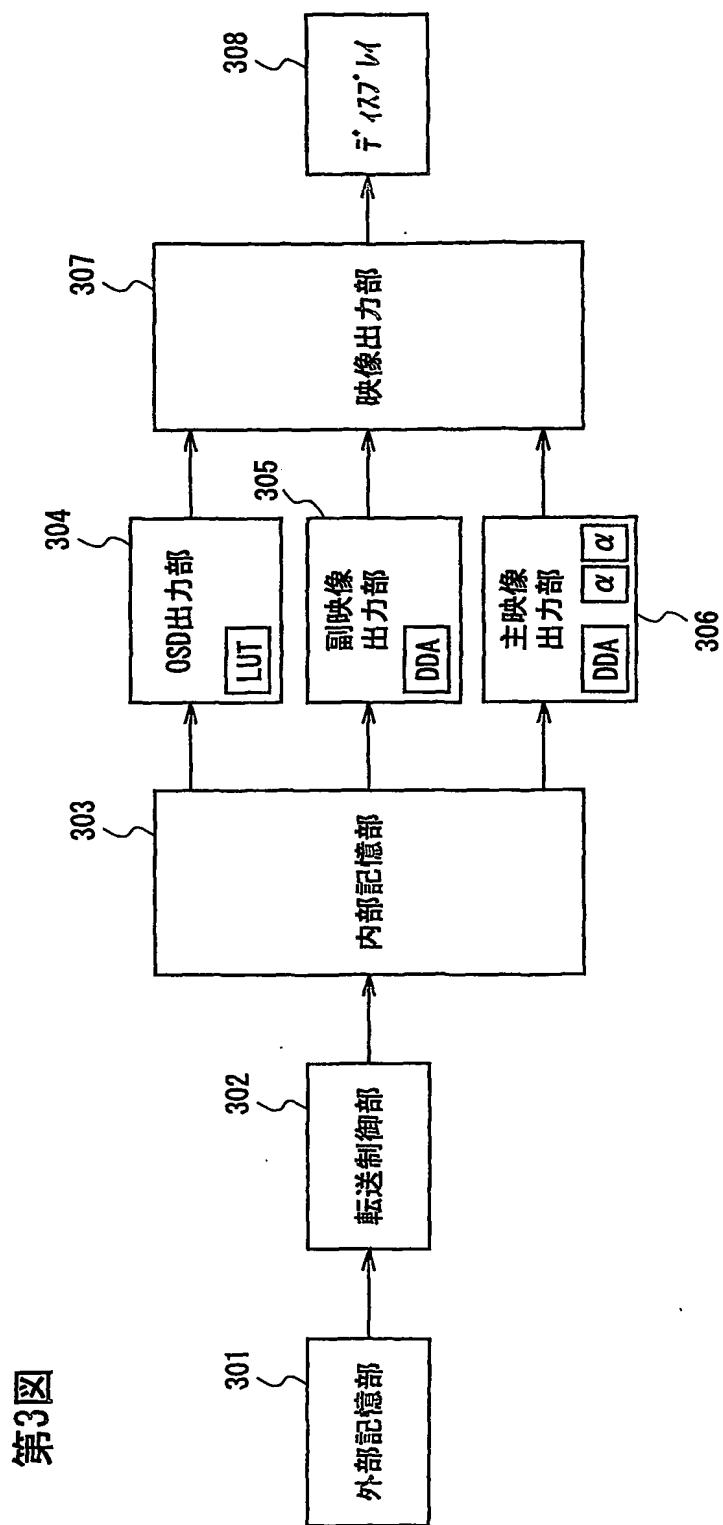




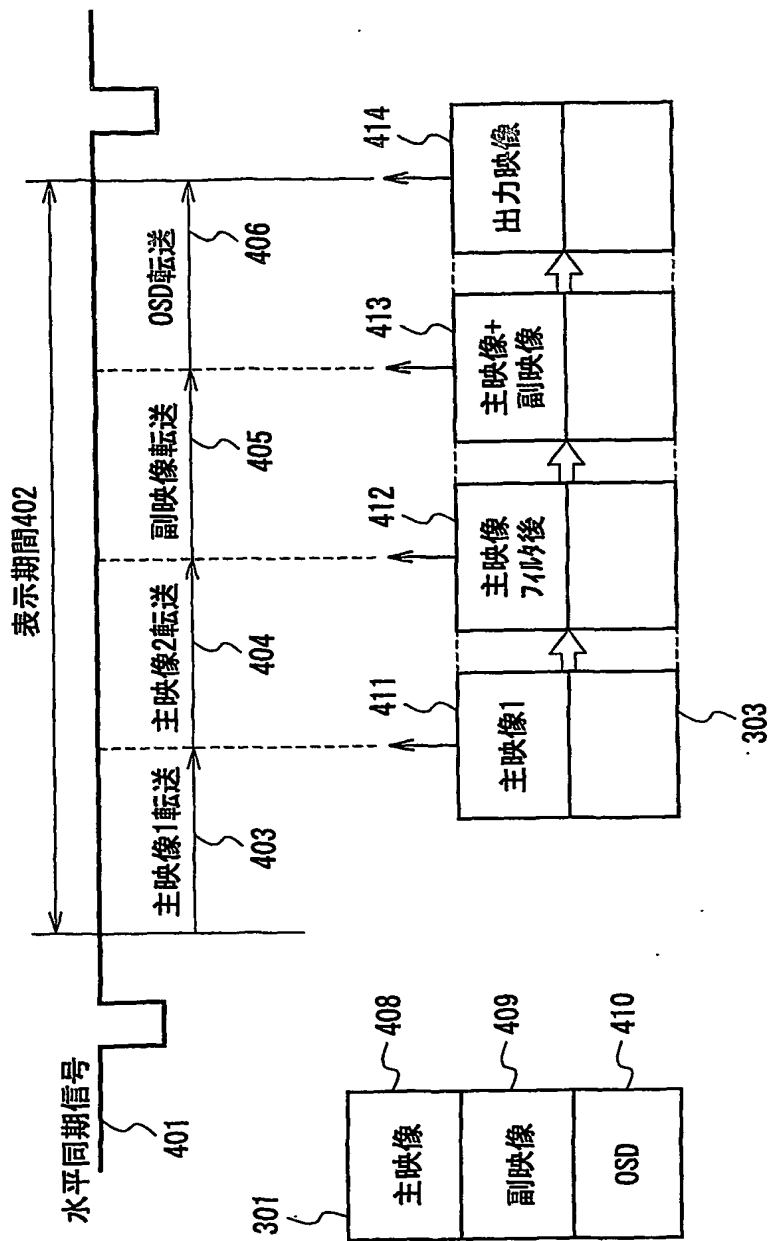
2/5



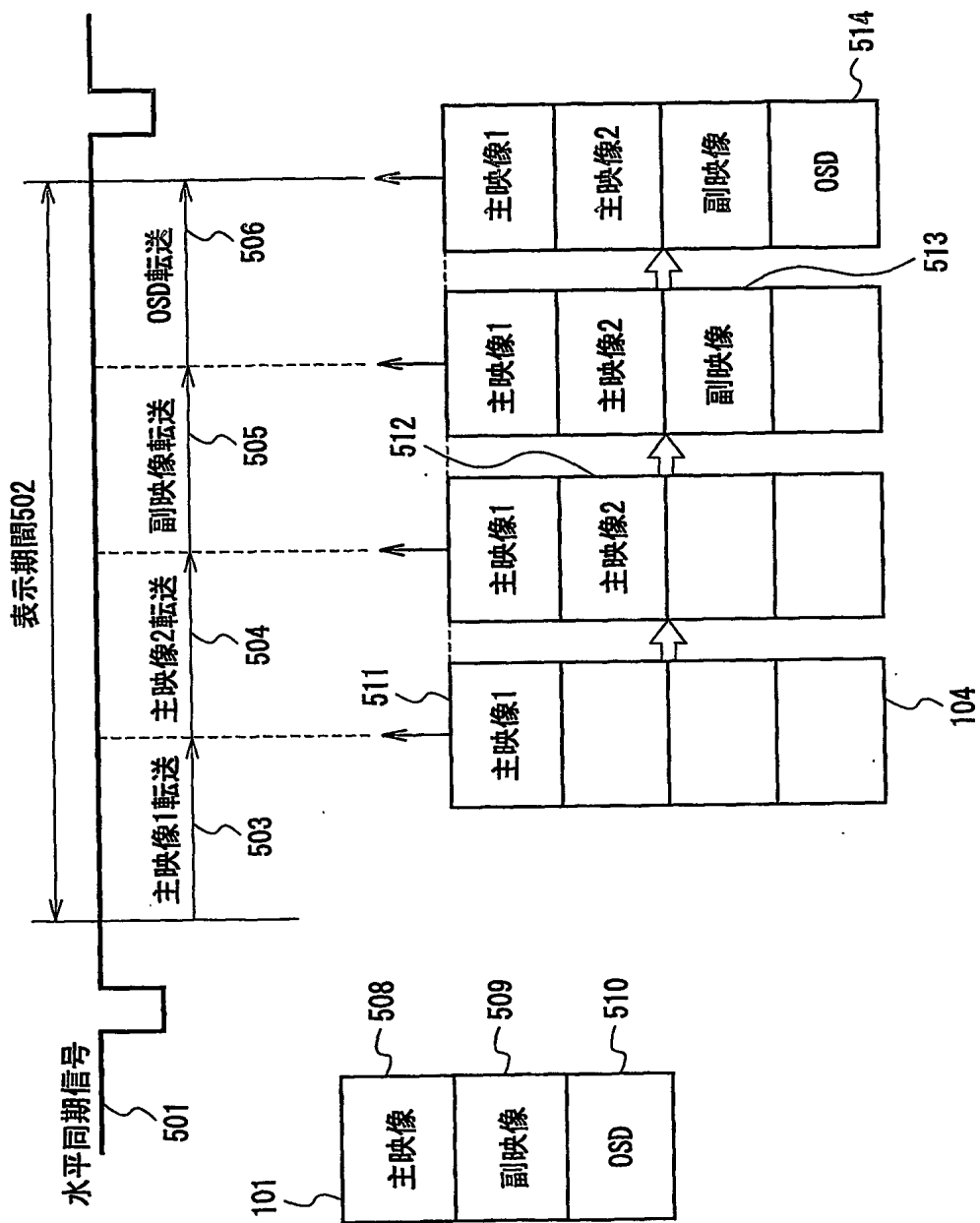
3/5



第4図



第5図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004774

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G5/377, G09G5/00, H04N5/45

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G5/00-5/42, H04N5/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-149150 A (Matsushita Electric Industrial Co., Ltd.), 24 May, 2002 (24.05.02), Par. Nos. [0036] to [0040], [0045] to [0055]; Figs. 2, 3, 5 (Family: none)	1, 6. 2, 3, 4 5
Y	JP 2002-366128 A (Denso Corp.), 20 December, 2002 (20.12.02), Par. No. [0019] (Family: none)	2
Y	JP 11-352946 A (Matsushita Electric Industrial Co., Ltd.), 24 December, 1999 (24.12.99), Par. Nos. [0015], [0016]; Fig. 1 & US 6335764 B1	3, 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 May, 2004 (14.05.04)

Date of mailing of the international search report  
01 June, 2004 (01.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/004774

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-347638 A (Hitachi, Ltd.), 15 December, 2000 (15.12.00), Par. Nos. [0053] to [0056]; Fig. 6 (Family: none)	5

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G5/377, G09G5/00, H04N5/45

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G5/00-5/42, H04N5/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-149150 A (松下電器産業株式会社) 2002. 05. 24	1, 6
Y	【0036】 - 【0040】 , 【0045】 - 【0055】 , 【図2】 , 【図3】 , 【図5】	2, 3, 4
A	(ファミリーなし)	5
Y	JP 2002-366128 A (株式会社デンソー) 2002. 12. 20	2
	【0019】 (ファミリーなし)	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

14. 05. 2004

国際調査報告の発送日

01. 6. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 亮治

2 G

9610

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-352946 A (松下電器産業株式会社) 1999. 12. 24 【0015】 , 【0016】 , 【図1】 & US 6335764 B1	3, 4
A	JP 2000-347638 A (株式会社日立製作所) 2000. 12. 15 【0053】 - 【0056】 , 【図6】 (ファミリーなし)	5